

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068593

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H01S 5/30

(21)Application number : 10-238695

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.08.1998

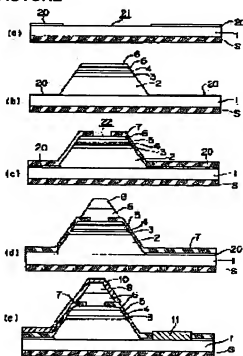
(72)Inventor : NAKAYAMA TAKESHI
KAWATSU YOSHIHEI
MARCUS DIETHEARD

(54) SEMICONDUCTOR LASER DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid damage during ridge stripe formation by covering a first semiconductor lamination layer which is laminated in a ridge stripe and providing a high electric resistance layer with a stripe opening in an upper edge face thereof.

SOLUTION: For example, a first semiconductor lamination layer is formed selectively on a mask pattern opening 21 formed on a semiconductor substrate 1 and is laminated in a ridge stripe. Then, a first semiconductor lamination layer is covered and a first high electric resistance layer 7 with a stripe opening 22 in an upper edge face thereof is formed. A second semiconductor lamination layer is selectively formed on the opening part 22 of the high electric resistance layer 7. In the process, $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$: ($0 \leq x \leq 1$, $0 \leq x+y \leq 1$) is used for first and second semiconductor lamination layer materials and a high electric resistance material. Thereby, crystal quality by selective region growth is improved and damage can be avoided since dry etching is not required during ridge stripe formation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68593

(P2000-68593A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int.Cl.⁷

識別記号

F I

テラート(参考)

H 0 1 S 5/30

H 0 1 S 3/18

5 F 0 7 3

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平10-238635

(22) 出願日 平成10年8月25日(1998.8.25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中山 毅

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 川津 善平

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 茂 (外1名)

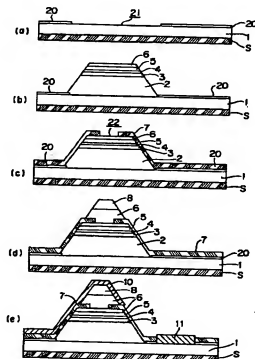
最終頁に続く

(54) 【発明の名称】 半導体レーザ装置及びその製造方法

(57) 【要約】

【課題】 選択成長法により結晶性の良い窒化物半導体レーザを提供すること、及び活性領域の電流経路幅の調整が容易な窒化物半導体レーザを提供することを目的とする。

【解決手段】 半導体基板を用い、その上に窒化物半導体を選択成長させて積層構造を形成するとともに、その積層構造の作製中、中間段階でストライプ状の開口部を有する高電気抵抗層を1層以上挿入する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたマスクパターン開口部上に選択的に成長させ、リジストライプ形状に積層された第1の半導体積層と、該第1の半導体積層を覆い、その上端面にストライプ状開口部を有する第1の高電気抵抗層と、該高電気抵抗層の開口部の上に選択的に成長させた第2の半導体積層とからなり、上記第1及び第2の半導体積層材料および高電気抵抗層材料が、 $Al_xIn_yGa_{1-x-y}N$ ： $(0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1)$ からなる半導体レーザ装置。

【請求項2】 第1の半導体積層が少なくともn型またはp型導電性をもつ第1クラッド層と、第1クラッド層とは逆の導電性をもつ第2クラッド層、これらの中間領域に存する活性層からなり、第2の半導体積層が少なくとも第2クラッド層およびコンタクト層からなる請求項1に記載の半導体レーザ装置。

【請求項3】 半導体基板上に形成されたマスクパターン開口部上に選択的に成長させ、リジストライプ形状に積層された第1の半導体積層と、該第1の半導体積層を覆い、その上端面にストライプ状開口部を有する第1の高電気抵抗層と、該第1の高電気抵抗層の開口部上に選択させた中間の半導体積層と、該中間の半導体積層を覆い、その上端面にストライプ状開口部を有する第2の高電気抵抗層と、該高電気抵抗層の開口部の上に選択的に成長させた第2の半導体積層とからなり、上記半導体積層及び高電気抵抗層材料が $Al_xIn_yGa_{1-x-y}N$ ： $(0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1)$ からなる半導体レーザ装置。

【請求項4】 第1の高電気抵抗層と第2の高電気抵抗層との間に少なくとも活性層を備える請求項3に記載の半導体レーザ装置。

【請求項5】 上記高電気抵抗層が電流ブロック機能を有する $Al_xGa_{1-x}N$ ： $(0 \leq x \leq 1)$ からなる請求項2または4に記載の半導体レーザ装置。

【請求項6】 基板上に形成された積層構造の側面が基板面に対して垂直であり、上記積層構造の上面のコンタクト層を介して接合された電極を備えることを特徴とする請求項1または3に記載の半導体レーザ装置。

【請求項7】 基板上に形成された積層構造の側面が基板面に対して傾斜を持ち、上記積層構造の上面および傾斜側面を覆い、上記第2クラッド層に接合された電極を備えることを特徴とする請求項1または3に記載の半導体レーザ装置。

【請求項8】 上記第1クラッド層の傾斜側面の一部に開口部を設け、その部分で上記第1クラッド層と接合された電極を備えることを特徴とする請求項1または3に記載の半導体レーザ装置。

【請求項9】 半導体基板上に形成されたマスクパターン開口部上に選択的に $Al_xIn_yGa_{1-x-y}N$ ： $(0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1)$ からなる第1の

窒化ガリウム系化合物半導体層を成長させ、リジストライプ形状に積層された第1の半導体積層を形成する工程と、

該第1の半導体層を覆い、その上端面に開口部を有する電流ブロック用、 $Al_xGa_{1-x}N$ ： $(0 \leq x \leq 1)$ からなる第1の高電気抵抗層を形成する工程と、該高電気抵抗層の開口部上に選択的に $Al_xIn_yGa_{1-x-y}N$ ： $(0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1)$ からなる第2の窒化ガリウム系化合物半導体層を成長させ、第2の半導体積層を形成する工程とからなる半導体レーザ装置の製造方法。

【請求項10】 第1の高電気抵抗層を形成後、第2の半導体層を形成する前に活性層を含む中間の半導体層を形成し、該半導体層の上端面にストライプ状の開口部を有する第2の高電気抵抗層を形成する請求項9に記載の半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体レーザ装置、特に、青〜紫外波長帯の窒化物半導体レーザに関するものである。

【0002】

【従来の技術】 図5に従来の窒化物半導体レーザの構造を示す。20はサファイア基板で、その上にサファイアのc軸方向に成長させたn型GaNからなる半導体基板を形成する。半導体基板1上に第1クラッド層2、第1ガイド層3、INGaN-MQWからなる活性層4、第2ガイド層5、第2クラッド層6、コンタクト層8を順次成長させ、所定のマスクを用いてエッチングを行い、リジストライプ形状を形成するとともに、基板1に接合するようにn電極11を形成する一方、リジストライプの上端面にp電極10を形成し、SiO₂保護膜9を形成してなる。

【0003】 かかる窒化物半導体レーザにおいては、低閾値電流を得るために、活性領域における電流ストライプ幅を狭くする必要があり、電極及びリジストライプ幅を狭くしている。

【0004】

【発明が解決しようとする課題】 ところで、上記半導体レーザの製造プロセスにおいては、位置合わせの困難性、電極の接触抵抗の増大、リッジ形成時のドライエッチングによる結晶へのダメージ等の問題がある。更には、サファイア基板上に窒化物をエピタキシャル成長させた場合に基板と窒化物結晶の格子不整合に起因する結晶の欠陥密度の増大という問題も生じる。

【0005】 本発明はこれらの諸問題を解決することを目的とし、第1に選択領域成長により、リジストライプ形成時にドライエッチングを必要としないダメージが回避された窒化物半導体レーザを提供するものである。また、第2に半導体多層構造中に、高抵抗層を挿入

することにより、活性領域の電流経路の幅を自由に制御することができる窒化物半導体レーザを提供することにある。

【0006】

【課題を解決するための手段】本発明は第1の目的を達成するために、半導体基板上に形成されたマスクパターン開口部上に選択的に成長させ、リッジストライプ形状に積層された第1の半導体積層と、該第1の半導体積層を覆い、その上端面にストライプ状開口部を有する第1の高電気抵抗層と、該高電気抵抗層の開口部の上に選択的に成長させた第2の半導体積層とからなり、上記第1及び第2の半導体積層材料および高電気抵抗層材料が、 $Al_xIn_yGa_{1-x-y}N$ ：($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) となる半導体レーザ装置を提供するのである。

【0007】該半導体レーザ装置は、第1の半導体積層が少なくともn型またはp型導電性をもつ第1クラッド層と、第1クラッド層とは逆の導電性をもつ第2クラッド層、これらの中間領域に存する活性層からなり、第2の半導体積層が少なくとも第2クラッド層およびコンタクト層からなるのが好ましい。

【0008】第1の高電気抵抗層は、他の層との整合性を考慮すると、AlNまたはAlGaInで形成するのが好ましい。

【0009】本発明はより効果的に活性領域の電流経路を制御するためには活性領域の上下に電流ブロック層を形成するか、電流ブロック層の開口部に活性領域を形成するのがよい。開口部の幅は、 $0.3 \sim 1.0 \mu m$ であることが好ましく、該開口部の厚さは、 $0.05 \sim 1 \mu m$ であることが好ましい。前者の構成を達成するのが半導体基板上に形成されたマスクパターン開口部上に選択的に成長させ、リッジストライプ形状に積層された第1の半導体積層と、該第1の半導体積層を覆い、その上端面にストライプ状開口部を有する第1の高電気抵抗層と、該第1の高電気抵抗層の開口部上に選択させた中間の半導体積層と、該中間の半導体積層を覆い、その上端面にストライプ状開口部を有する第2の高電気抵抗層と、該高電気抵抗層の開口部の上に選択的に成長させた第2の半導体積層とからなり、上記半導体積層及び高電気抵抗層材料が $Al_xIn_yGa_{1-x-y}N$ ：($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) となる半導体レーザ装置である。本発明に係る半導体レーザ装置は、積層構造を基板面に対して垂直に形成する場合と積層構造の側面が基板面に対して傾斜を持たせて形成する場合がある。後者の場合、P側電極は基板面上に形成された積層構造の側面が基板面に対して傾斜を持ち、上記積層構造の上面および傾斜側面を覆い、上記第2クラッド層に接合された電極を備えることとなり、n側電極は上記第1クラッド層の傾斜側面の一部に開口部を設け、その部分で上記第1クラッド層と接合された電極を備えることとなるので、電

極の半導体との接触面積をより増大させることができる。また、電極と活性領域との距離を短くして上記接触面積の増大とともに接触抵抗を低減することができる。

【0010】

【発明の実施の形態】実施の形態1. 以下、本発明の実施の形態1を図に基づいて説明する。図1は、この発明の実施の形態1である半導体レーザ装置の製造方法を表す断面図である。半導体基板1はサファイア20のc軸方向に成長させたn型GaInを使用する。半導体基板1上にストライプ状の開口部21を持つSiO₂マスク120を形成し、その上にn-Al(x)Ga(1-x)N[x=0.15]の第1クラッド層2、n-GaNからなる第1の半導体積層を選択成長させる。すなわち、第1ガイド層3、InGaInMQWからなる活性層4、p-GaNからなる第2ガイド層5、p-Al(x)Ga(1-x)N[x=0.15]からなる第2クラッド層6を順次成長させる。このとき各層はSiO₂開口部上に選択領域的に成長し、リッジストライプ形状となる。また、成長条件によりリッジ側面に基板に対して62°の傾斜を持たせることができる。

【0011】この後、電流ブロック層7を上記基板1および第1の半導体積層上に成長させ、エッチングによりストライプ状の開口部22を形成する。電流ブロック層としてはAlNまたはAl(x)Ga(1-x)N[x≧0.7]が適当である。AlN層はSiO₂開口部上部のみならず、リッジ側面、およびSiO₂マスク上にも成長する。この後再び第2クラッド層6、p-GaNからなるコンタクト層8を成長させる。次にコンタクト層8から第2クラッド層6側を通り、電流ブロック層7を形成する上に第1電極10を形成する。更に、上記電流ブロック層7の一部を開口し、第2電極11を形成する。最後にドライエッチングまたは空間などにより共振器端面を形成する。

【0012】本実施の形態によれば、選択領域成長による結晶品質の向上が図れると同時に、リッジストライプ形成時にドライエッチングを必要としないのでダメージの回避が期待できる。また半導体多層構造中に高抵抗層である電流ブロック層7を挿入し、その開口部22を形成することにより活性領域の電流経路の幅を自由に制御することが可能となる。これによって、リッジ幅を広くすることが可能で、しかも電流ブロック層7より上方に位置するコンタクト層8および第2クラッド層6の全体に電極10を広げて形成するので、電極面積も大きくでき、接触抵抗も低減できる。また、本実施の形態及び以下の実施の形態において、各層の導電性をすべて逆にするのももちろん可能である。

【0013】実施の形態2. 図2は、この発明の実施の形態2である半導体レーザ装置の断面図である。各層の成長順序は実施の形態1と同様である。したがって、同一部材には同一符号を付する。なお、成長条件によりリ

ツジ側面は基板に対して垂直にしている。したがって、基板 1 上に積層された半導体層全体を SiO_2 保護膜 12 で覆い選択成長させたコンタクト層 8 の上端面をエッチングで開口して電極 10 を形成するとともに選択成長させない領域の保護膜 12 および電流ブロック層 7 の一部をエッチングで開口して電極 11 を形成する。

【0014】実施の形態 3. 図 3 は、この発明の実施の形態 3 である半導体レーザ装置の断面図である。第 1 クラッド層 2 を途中で成長させた後、電流ブロック層 7 を成長させて、開口部 22 を設ける。再びクラッド層 2 から第 1 ガイド層 3、活性層 4、第 2 ガイド層 5 を成長させることにより、図 3 部分拡大図に示すように、活性領域を電流ブロック層で挟み込む構造を得ることができる。他は実施の形態 1 と同様であるので、同一部材には同一符号を付して説明を省略する。本実施の形態によれば、電流経路幅を直接ブロック層開口部の幅で制御することが可能である。

【0015】実施の形態 4. 図 4 は、この発明の実施の形態 4 である半導体レーザ装置の断面図である。第 2 ガイド層 5 を形成するまでは実施の形態 1 と同様にして選択成長させる。第 2 クラッド層 6 を途中で成長させた後、第 2 の電流ブロック層 12 を成長し、開口部 23 を設ける。再び第 2 クラッド層 6 を成長させることにより、活性領域を 2 つの電流ブロック層 7 および 12 間に置く構造を得ることができる。なお、実施の形態 1 と同一部材は同一符号を付して説明を省略する。本実施の形態によれば、上記実施の形態 1 の効果に加え、活性領域の上下に電流ブロック層を持つことにより、より効果的に電流経路を制御することが可能である。

【0016】実施の形態 5. 図 5 は、この発明の実施の形態 5 である半導体レーザ装置の断面図である。側面傾斜を持つストライプを形成した後、ドライエッチングにより第 1 クラッド層 2 の側面に至る部分の絶縁層である電流ブロック層 7 を除去する。次に側面開口部 24 を含めて第 2 電極 11 を形成する。本実施の形態によれば、

選択領域を成長させたクラッド層に電極形成を行ない、かつ活性領域までの距離を短くできるので低接触抵抗を得るとともに結晶内での発熱を低減できる。尚、他は実施の形態 1 と同一であるので実施の形態 1 と同一部材は同一符号を付して説明を省略する。

【0017】

【発明の効果】本発明によれば、基板を半導体基板とし、積層される半導体との格子不整合による結晶欠陥を解消するとともに選択成長によりリジストストライプ形状を形成するときのエッチングによる結晶へのダメージを回避することができる。

【0018】しかも、高電気抵抗層のストライプ状開口部により活性領域の電流経路幅を自由に制御することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である半導体レーザ装置の製造方法を示す断面正面図である。

【図 2】 この発明の実施の形態 2 である半導体レーザ装置の製造方法を示す断面正面図である。

【図 3】 この発明の実施の形態 3 である半導体レーザ装置を示す断面正面図である。

【図 4】 この発明の実施の形態 4 である半導体レーザ装置を示す断面正面図である。

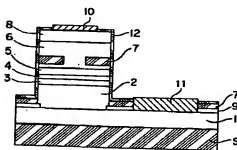
【図 5】 この発明の実施の形態 5 である半導体レーザ装置を示す断面正面図である。

【図 6】 従来の窒化物半導体レーザ装置の製造方法を示す断面正面図である。

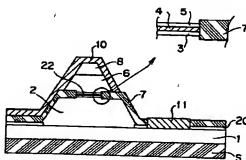
【符号の説明】

1 半導体基板、2 第 1 クラッド層、3 第 1 ガイド層、4 活性層、5 第 2 ガイド層、6 第 2 クラッド層、7 電流ブロック層、8 コンタクト層、9 SiO_2 保護膜、10 第 1 電極、11 第 2 電極、12 第 2 電流ブロック層、20 SiO_2 マスク、S サブアイア、21~23 開口部。

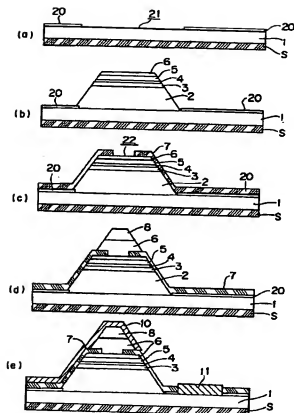
【図 2】



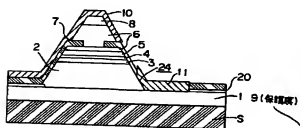
【図 3】



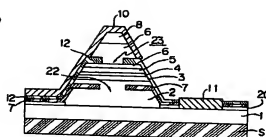
【図1】



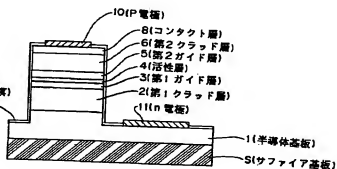
【図5】



【図4】



【図6】



フロントページの続き

(72) 発明者 マルクス・ディートハート
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5F073 AA09 AA13 AA20 AA22 AA45
AA74 CA07 CB05 CB11